Національний технічний університет України

«Київський політехнічний інститут»

Факультет інформатики та обчислювальної техніки

Кафедра обчислювальної техніки

Лабораторна робота № 5. Проектування AU

з дисципліни «Комп’ютерна схемотехніка»

Виконав студент групи ІО-01 *Редько Олександр*

Номер залікової книжки **10310**

# Завдання

На PLMT с параметром  и раннее разработанных LSM и FM разработать AU с сосредоточенной логикой и памятью. В AU предусмотреть схемы, генерирующие признаки результатов операций, и схемы, обеспечивающие выполнение многотактных операций умножения и деления. Привести полное описание кода операции AU. Оценить сложность полученной схемы и ее быстродействие. Разработать алгоритм выполнения многотактной операции и построить цифровую диаграмму работы AU при выполнении указанных в таблице операций над 8‑раз­рядными числами.

Таблица 1.1

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| C5  C4 | 0 | 1 | 2 | 3 | 4 |
| 0 | У1  n П | У2  n П | У3  n П | У4  n П | Д1  П |
| 1 | У1  n Д | У2  n Д | У3  n Д | У4  n Д | Д1  Д |
| 2 | У1  2n П | У2  2n П | У3  2n П | У4  2n П | Д2  П |
| 3 | У1  2n Д | У2  2n Д | У3  2n Д | У4  2n Д | Д2  Д |

где Yi – умножение по i‑му способу с формированием n или 2n бит результата,

Di – деление по j‑му способу,

П и Д – выполнение операции в ПК или ДК.

# Визначення варіанту

 ‑ 5 входов.

 ‑ умножение 4‑ым способом в ДК с формированием 2n бит результата.

# Виконання роботи

## Построение структурной схемы AU

Поскольку FM с тремя шинами, то получим структурную схему AU, изображенную на рис. Рисунок 3.1.

Для реализации операций умножения нам понадобится добавить в список команд сдвиги операндов влево и вправо, а также условные команды условного и безусловного перехода.

Команды переходов являются управляющими и работают со счётчиком операций ICTR, поэтому при проектировании AU мы не учитываем их реализацию. Сдвиг влево с помощью P+Q (Q=P). Для сдвига вправо вводится сдвигатель SHU>.

Также для работы с оперативной памятью, сверхоперативной памятью и пересылки операндов нам понадобится мультиплексор, который сможет работать с шинами результата операций, считывания из оперативной памяти, и шиной внешнего ввода данных. Спроектируем нужные нам устройства.



Рисунок 3.1 – Структурная схема AU

## Проектирование сдвигателя

Сдвигатель должен реализовывать сдвиг вправо на 1 разряд.

Обозначим символами E - командный сигнал, Qi – разряд шины данных, поступающих с сумматора, Q – шина данных, поступающих с сумматора, Pi – разряд шины данных, отображающих результат работы сдвигателя, P – шина данных, отображающих результат работы сдвигателя, R0 – разряд вытесняющийся сдвигом (сигнал подается только в случае сдвига), Rn – вносимый слева разряд при сдвиге. Приняв данные обозначения, приходим к выводу, что функция, реализуемая сдвигателем, должна иметь следующий вид:

, причем в последнем разряде используется вносимый разряд, а .

Реализуем данные функции на схеме. Учтём, что в некоторых операциях нам потребуется проверка перенесённого за сетку разряда и, исходя из этого, подключим для Q PLMT с входом E на запись и D00 как записываемый разряд.



Рисунок 3.2 – Зсув i-го бита



Рисунок 3.3 – Зсуватель на 15 разрядов

## Проектирование регистра (AC)



Рисунок 3.4 – i-й разряд регистра



Рисунок 3.5 – Регистр на 15 разрядов

## Проектирование мультиплексора

Определимся, как должен работать мультиплексор. При DI =1 выдавать данные. При DI=0 выдавать ноль.

|  |  |
| --- | --- |
| DI | D |
| 0 | NULL |
| 1 | Di |

Реализуем данную функцию для однобитных шин:



Рисунок 3.6 – Один разряд мультиплексора



Рисунок 3.7 – Полный мультиплексор

## Составление алгоритма и мнемонической программы выполнения заданного действия



Рисунок 3.8 – Структурная схема устройства для умножения 4‑ым способом



Рисунок 3.9 – Блок‑схема алгоритма умножения

Таблица 3.1 – Цифровая диаграмма умножения 15‑разрядных чисел

|  |  |  |  |
| --- | --- | --- | --- |
| № ц. | RG1.RG2 (Z) | RG3.RG4 (Y) | RG5 (X) |
| П.С. | 000000000000000000000000000000 | 010100111000111100000000000000 | 100101110001111 |
| 1 | 010100111000111100000000000000 |  |  |
| 010100111000111100000000000000 | 001010011100011110000000000000 | 001011100011110 |
| 2 | 010100111000111100000000000000 | 000101001110001111000000000000 | 010111000111100 |
| 3 | 010100111000111100000000000000 | 000010100111000111100000000000 | 101110001111000 |
| 4 | 000010100111000111100000000000 |  |  |
| 010111100000000011100000000000 | 000000000001010011100011110000 | 000010010111000 |
| 5 | 010111100000000011100000000000 | 000000101001110001111000000000 | 111000111100000 |
| 7 | 000000101001110001111000000000 |  |  |
| 011000001001110101011000000000 | 000000010100111000111100000000 | 110001111000000 |
| 7 | 000000010100111000111100000000 |  |  |
| 011000011110101110010100000000 | 000000001010011100011110000000 | 100011110000000 |
| 8 | 000000001010011100011110000000 |  |  |
| 011000101001001010110010000000 | 000000000101001110001111000000 | 000111100000000 |
| 9 | 011000101001001010110010000000 | 000000000010100111000111100000 | 001111000000000 |
| 10 | 011000101001001010110010000000 | 000000000001010011100011110000 | 011110000000000 |
| 11 | 011000101001001010110010000000 | 000000000000101001110001111000 | 111100000000000 |
| 12 | 000000000000101001110001111000 |  |  |
| 011000101001110100100011111000 | 000000000000010100111000111100 | 111000000000000 |
| 13 | 000000000000010100111000111100 |  |  |
| 011000101010001001011100110100 | 000000000000001010011100011110 | 110000000000000 |
| 14 | 000000000000001010011100011110 |  |  |
| 011000101010010011111001010010 | 000000000000000101001110001111 | 100000000000000 |
| 15 | 000000000000000101001110001111 |  |  |
| **011000101010011001000111100001** | 000000000000000010100111000111 | 000000000000000 |

#### Адреса операндов в FM:

RG0: 0000

RG1: 0001

RG2: 0010

RG3: 0011

RG4: 0100

#### Таблица управляющих сигналов для блоков алгоритма

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| № | Операция | F3F2F1F0 | CI | F> | D | AP | AQR | AQW |
| 1 | RG1.RG2 = 0 | 0000 | X | X | 0 | xxxx | xxxx | 0000 |
| 3 | RG3.RG2 = 0.r[RG3.RG4] | 0100 | X | 0 | 0 | 0000 | 0000 | 0000 |
| 4 | RG5 = l[RG5].0 | 0100 | X | 0 | C | 0000 | 0000 | 0000 |
| 5 | RG1.RG2 = RG1.RG2+RG2.RG3 | 0100 | 1 | 0 | X | 0001 | 0010 | 0001 |

CI – тип операции (арифметическая или логическая)

F3F2F1F0 –код операции

F> – разрешение левого сдвига

D – вдвигаемый разряд

#### Коды операций:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **F3** | **F2** | **F1** | **F0** | **Function** |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | P |
| 0 | 1 | 0 | 0 | P+Q |

## Сложность схемы

1. Сложность FM
2. Сложность LSM
3. Сложность сдвигателя 25 PLM

## Общая задержка схемы

1. Задержка FM
2. Задержка LSM
3. Задержка сдвигателя - 1 такт